

工作項目

電路設計佈局流程及 Testkey 架構

內容摘要

IC 從無到量產必須經過設計、製造、封裝測試，其中就已設計這部分來看，當 IC 設計者(RD)依客戶的要求設計出電路圖(Schematic)後，還必須由佈局工程師利用 Tools 把電路圖轉變為光罩圖，而這個過程我們稱之為佈局(Layout)。

Testkey 為測試元件，為了達到降低產品成本的需求，我們必須去嘗試在每一個製程中尋找各種可能的方法，去優化改良或縮小 Layout 時的面積，以達成我們所要的要求，Testkey 雖然為測試用，但卻可以影響每間公司產品的成本與效能的差異性，所以這也是 IC 公司不可或缺的一環。

在 layout 使用的佈局軟體大致分為 Cadence Virtuoso、Laker 兩種。

佈局前與 RD 的溝通是非常重要的，在實際 Layout 時往往會發生電路圖上所看不到的問題，而我們必須與 RD 溝通，用最有效率的方式解決問題，才能讓最終 Layout 達成 RD 的要求。

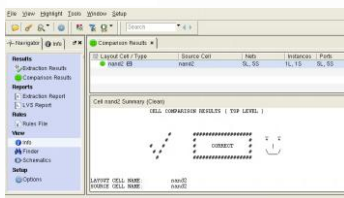
然而佈局結束後還要經過一連串的驗證，才能使 IC 正常 Work。而最基本的驗證可分為三種：

- 1.DRC:可修正並檢驗佈局是否符合製程的設計規範。

下圖為 IC 設計流程：



- 2.LVS,其功能為驗證特定積體電路與其原始電路設計之間的差異有無異常。

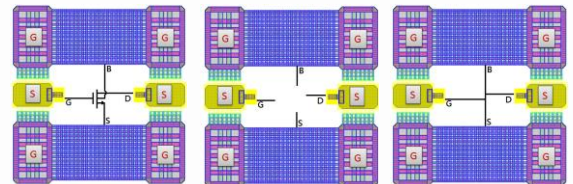


- 3.LPE, 佈局抽取驗證為萃取實際 Layout 後的寄生電阻與電容，使電路模擬結果可以更趨近為實際值。

一般 TestKey 的 PAD 分為三種：

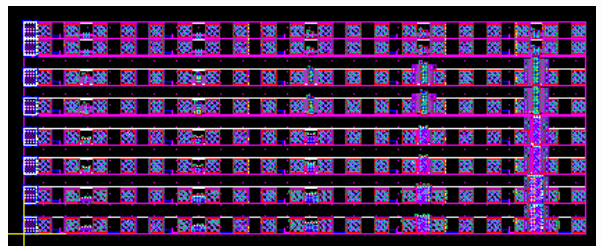


▲DC PAD 做直流/交流的測試 ▲GSGSG PAD 多應用在電感上



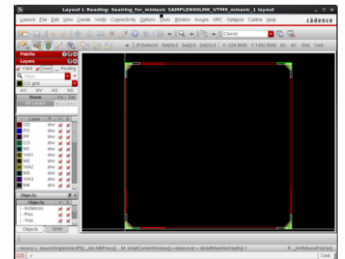
▲GSG 適用高速元件量測 ▲Open GSG PAD ▲Short GSG PAD

為了將量測的誤差降到最小，我們會將 device 拔除，即 open/short，來扣除 routing 所產生的寄生電阻及寄生電容。



▲TestKey 佈局圖

最後我們會在 Layout 外圍加上 Seal ring，Seal ring 最主要的作用就是防止 chip 在切割的時候受到機械損傷。



實習成果

電子工程

實習單位：聯發科技股份有限公司
 實習部門：ADCT/CT1/AL8 (Analog Design Circuit Technology)
 實習期間：104/09/14~105/09/13
 指導主管：游永傑
 輔導老師：王三輔
 姓名：陳韻如

