

工作
項目

積體電路佈局設計是將已完成的電路圖轉換成光罩圖(Mask)的過程，我們要在有限的面積下完成佈局且並驗證，而我們需要熟悉各電路的架構與各元件的製程剖面圖、電氣特性、熟悉 EDA 軟體(Virtuoso、Laker)的應用。而我們這次實習的主要工作項目為：(1.) Standard Cell Layout (2.) Digital Layout (3.) Analog Layout。

內

(1.) Standard Cell Layout

一顆 Chip 裏的邏輯運算部分所占的面積通常為總面積的 2/3，而基本邏輯閘為邏輯運算的最小單位。若我們將基本邏輯閘能以最小的面積且保持良好的特性完成佈局，那將會使整顆 Chip 的面積縮小，有額外空間加補償電路，來提高我們的良率，因此由 STD 的好壞可以判定一間公司的競爭力。

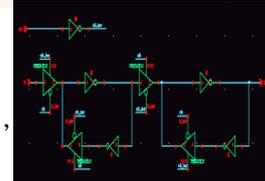


Fig.1 D flip flop Schematic

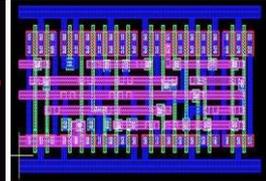


Fig.2 D flip flop Layout

容

(2.) Digital Layout

大部分 Digital 是由 STD 來組成的，但對於較高壓的 MOS，Digital Cell (INV、NAND、NOR)就會以手繪的為主，而在繪製的時候要考慮：

- (1.) N 與 PMOS 間的距離是否足夠。
- (2.) 盡量以底層的 Metal 完成佈局。
- (3.) 以最小面積完成佈局。

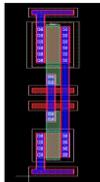


Fig.3 INV

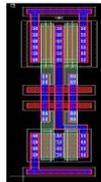


Fig.4 NAND

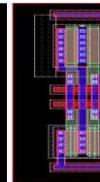


Fig.5 NOR

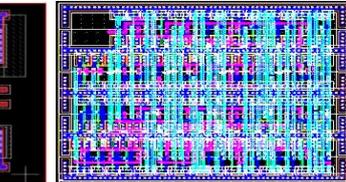


Fig.6 Decoder(M2 橫 M3 縱)

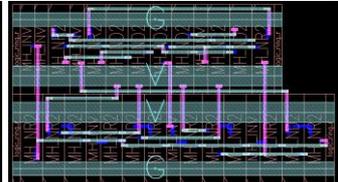


Fig.7 Decoder(M2 縱 M3 橫)

摘

(3.) Analog Layout

Analog Layout 在整顆 Chip 裏所占的面積並不大，但卻是 chip 極重要的一環，因此在設計與佈局時要非常小心。佈局時，較為敏感的元件會以 Guard Ring 來隔絕雜訊，例如需要匹配的(Differential pair)我們會使用 Matching 的方式且在兩側加上 Dummy 來達成要求，而較重要的訊號線我們會以 Shielding 的方式來隔絕雜訊。

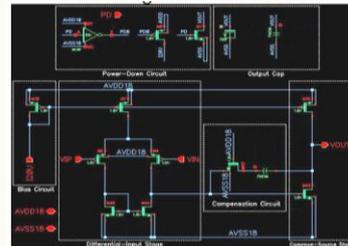


Fig.8 Two Stage OPA Schematic

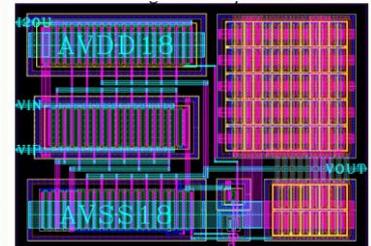


Fig.9 Two Stage OPA Layout

要

實

LDO (Low Drop Out Linear Regulator)

1. 定義：

LDO 為低壓差線性穩壓器，它適合從較高的輸入電壓轉換成較低輸出電壓的應用，這種應用的功率消耗通常不是很大，它們尤其適用於要求低雜訊、低電流和輸入、輸出電壓差很小的應用環境。

2. 特性：

LDO 透過控制線性區調整管的傳導來調節輸出電壓，這種線性調節方式能提供精確、沒有雜訊的輸出電壓，能對負載的改變做出快速的回應。因此，LDO 的主要優勢就在於它的簡單性，低成本和低雜訊，以及快速的回應能力。

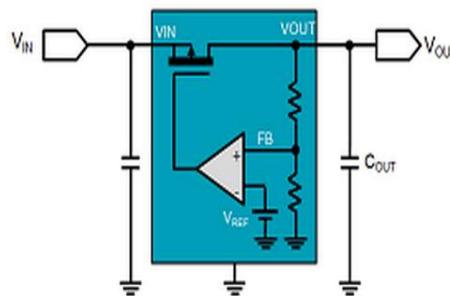


Fig.10 LDO 基本電路架構

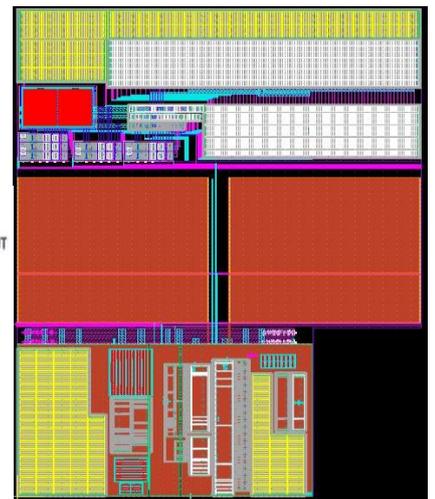


Fig.11 LDO Layout

習

成

果

電子

姓名：胡智翔實習公司：聯發科技

MEDIATEK

指導主管：游永傑實習單位：類比設計暨電路技術研發本部 實習期間：103.9/22~104.9/16

工程

輔導老師：王志良