

專業
主題

PCB/IC 載板之電源模型抽取與分析

內容
摘要

PI (Power Integrity)和 PDN (Power Distribution Network)設計是現今高速訊號電路中很重要的部分。PI 分析最主要的目的是為了降低 PDN 系統的電源雜訊以滿足低阻抗要求，從頻域的觀點，去耦電容是一個低阻抗路徑，最普遍的方式就是透過電容的選擇(規格、數量)與擺放位置來優化 PCB 板上的阻抗。根據 DDR3 (Double Data Rate 3)經驗值建立的目標阻抗標準可以當作一個很好的參考，能夠提供給有需要的客戶，幫助客戶產品在設計階段透過模擬和分析，在 PDN 系統中能保持電源完整性，盡早解決設計不良所造成的問題，讓產品在產出後能正常運作，目的是為了降低時效、成本問題及使產品最佳化。

◆ 研究動機

由於客戶會向我們詢問目標阻抗的數值，但是我們不曉得控制器是如何使用 DRAM，因此根據目前客戶量產的 PCB 產品模擬抽取 PDN 阻抗，合理的目標阻抗可基於 PDN 阻抗來評估。

◆ PDN 系統架構 & 設計要求

圖 1 為 PDN 系統之架構，傳送電源因路徑影響而有不同抑制的頻率範圍。如圖 2 所示，VRM (Voltage Regulator Module)能夠穩定電壓準位 DC 的範圍；大容量值的固態電容(Bulk Cap.)可以壓低較低頻率的阻抗；而較小容值的陶瓷電容(Ceramic Cap.)可以抑制較高頻率的阻抗。

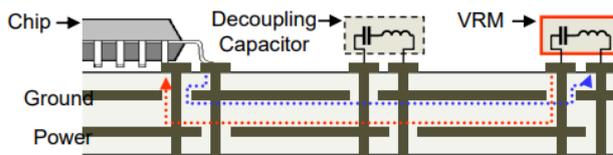


圖 1. PDN 系統之架構

整個 PCB 設計能夠影響的範圍最高只到 100MHz，100MHz 以上是屬於封裝設計的影響，因此不在我們建立阻抗標準考慮的範圍內。

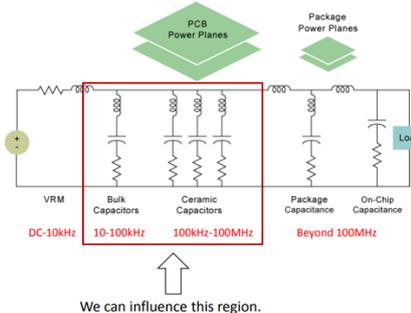


圖 2. PDN 系統組件及有效頻率範圍

◆ 模擬 & 分析結果

圖 3 紅線為 DDR3 目標阻抗的結果，從 0~100kHz 目標阻抗訂在低於 0.06 ohm；在 100kHz 以上目標阻抗值會增加，1M~100MHz 的目標阻抗值訂在 0.15 ohm。

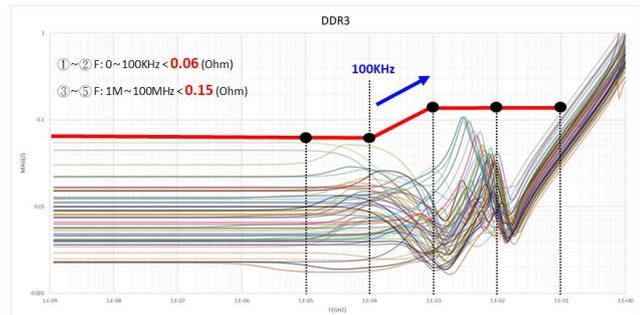


圖 3. DDR3 有加電容之目標阻抗結果

圖 4 把 DDR3 的目標阻抗標準套用至 DDR2 的產品，進行實際案例的比較。灰色曲線在 100MHz 時超出 DDR3 訂出的阻抗標準，查看 layout 發現 Chip 的電源、接地腳並沒有完全連接到陶瓷電容，原本應該接 12 顆電容，實際只有接到 5 顆；黃色曲線則是根據上述問題修改 layout，因此在 100MHz 能夠符合目標阻抗值。



圖 4. DDR2 有加電容之目標阻抗結果

實習
成果

電子
工程

姓名：林弈妍
輔導老師：王志良

實習單位：客訴分析部
實習廠區：南亞科技公司

實習期間：106/9 - 107/9
指導主管：黃信賢