

專業
主題

IC 佈局製程及 layout

內容
摘要

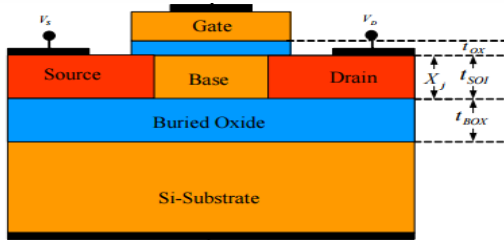
實習中接觸較為 RF 電路，通常此電路運作於高頻率的環境下，所以輸出輸入較容易受雜訊以及寄生的電容電阻影響，因此設計者對於佈局上會有更高的要求，例如：使用較高層的 layer 佈局輸出線並減少下方線路做穿層等，其中也會針對該種電路選擇製程，以求達到更好的效能。

以下介紹關於實習中使用的特殊製程 SOI 製程，以及使用此製程所佈局 LNA 電路，其中包括傳統 MOS 與 SOI MOS 之比較，Low-noise amplifier 低雜訊放大器架構與 LNA 佈局的規劃。

SOI 製程介紹：

晶圓上多了一層絕緣體，使 SOI MOS 比起傳統 MOS 擁有較小的寄生電容和漏電流帶來更低的功耗、啟動電壓，更快的 SW 切換速度，且從根本上解決了門鎖效應 (Latch up)，因為在 PMOS 以及 NMOS 間隔是絕緣體而不會有 PN 接面形成。

SOI 製程與傳統製程相比目前最大的缺點是散熱較差、成本較高以及生態圈不夠完善。

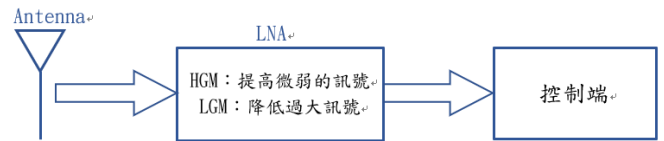


SOI 剖面圖

	傳統 MOS	SOI MOS
Vt 門檻電壓	High	Low
Ron 導通電阻	High	Low
Ioff 漏電流	High	Low
C 電容電荷值	Very High	Low
SW-Speed 切換速度	Low	High
Power 功率消耗	Very High	Low

傳統 vs SOI

Low-noise amplifier 低雜訊放大器架構：

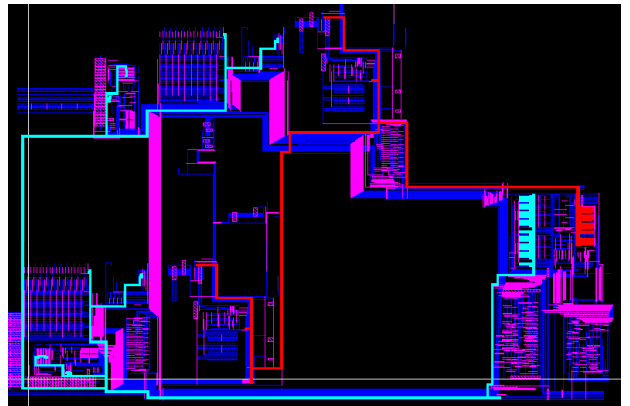


從天線接收到訊號，由後端決定訊號需要提高或是降低，在將信號傳送到控制端。

LNA 佈局規劃：

HGM 運作於高頻率，在意輸出輸入端 layout 帶來的寄生電容以及雜訊，輸出端使用高層 layer 走線，且減少下方走線穿層，避免增益降低且訊號易被衰落。

LGM 在意電路中電容比例，為了保持訊號等比例縮小，所以避免使用容值易因電流浮動的 MOS cap，而是選用金屬電容。



LNA 佈局規劃圖

實習
成果

電子
工程

姓名：李宜芳

輔導老師：陳華彬

實習單位：聯發科技

實習部門：AL6

MEDIATEK

實習期間：106/9 - 107/9

指導主管：鄭基舜