

主題
名稱

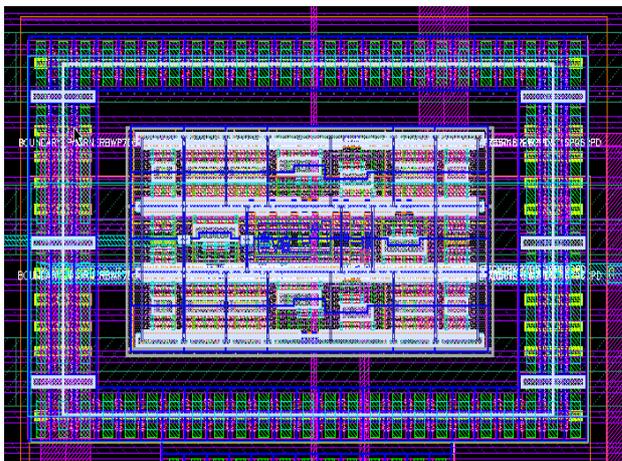
Analog Layout

內容
摘要

本部門 AL5，其主要是在做 Analog Layout，而其主要支援的電路為 PLL(Phase Locked Loop)、Wi-fi、Ethernet 等等的電路。而我們實習生主要是在幫忙畫其中的幾塊 Block 給上層的人使用，或是幫忙修改已經回來量測完的電路，最終才學習如何整理一塊小 IP，幫助部門加快進行作業。而在做 Layout 的時候，會因為 Designer 希望修改一些電路特性或 Totem 不過，因此重覆修改好幾次的相同 Layout，以達到最完美的電路特性。

一、Standard Cell

Standard Cell 是一種已經先行預設好的 Layout 的基本邏輯閘，它的面積小且能加快我們的 Layout 的速度，但他也有許多的規範必須遵守 (通常 Standard Cell 都是由 TSMC 提供)。

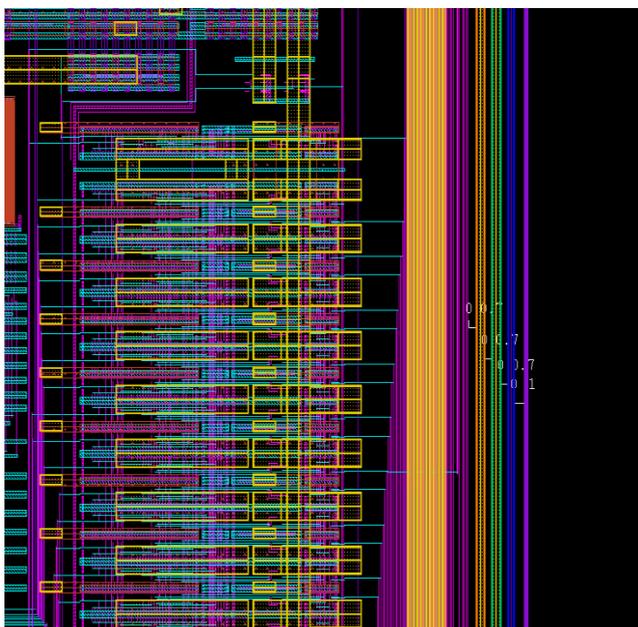
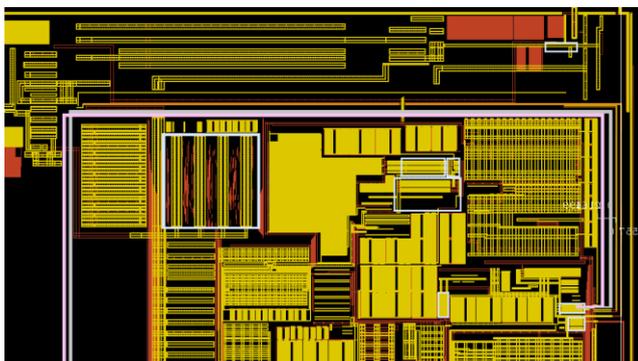


上圖為 AND2 的 Standard Cell，雖然 NAND2 與 INV 很小，但它還必須在兩側加是 Tap Cell，這是給 MOS 電位的 Cell，還有只要是 Standard Cell 不管多大都必須在四邊補上 Boundary Cell。

BOUNDRY_N	BOUNDRY_N	BOUNDRY_N	BOUNDRY_N
CORE	ROW	ROW	CORE
BOUNDRY_	TAP_CELL	STD_CELL	BOUNDRY_
LEFT			RIGHT
BOUNDRY_P	BOUNDRY_P	BOUNDRY_P	BOUNDRY_P
CORE	ROW	ROW	CORE

二、Layout 技巧

有些電路 Designer 希望他不要被干擾到，又因為線會走的過長，他也不希望包 conduit 影響到 loading，就會希望我們走高層一點，並且讓周圍不要有同層的線，盡量拉開，減少被影響。



實習
成果

電子
工程

姓名：李志邦

實習單位：AL5

實習廠商：聯發科技

實習期間：2016/9~2017/9

指導主管：蘇武康

輔導老師：陳華彬