

主題
名稱

積體電路佈局

內容
摘要

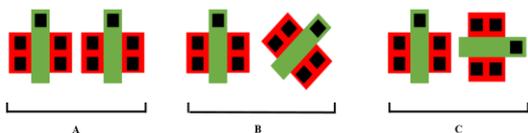
積體電路佈局在晶片設計與製造上佔有舉足輕重的環節，在開發晶片時它不但佔據大部分的時間，同時它也關係到整個產品的良率、成本、甚至是成敗的關鍵。在佈局上必須事先考量佈局因素，如元件的匹配、降低雜散效應、佈線、雜訊隔離、晶片面積，在佈局中若沒考慮上述因素，可能會導致晶片無法動作或是無法達到良好的效果。

隨著製程技術之進步，積體電路佈局跟製程是息息相關的，尤其是搭配上匹配(Matching)的佈局方式，可以有效的減少訊號相互干擾、降低轉態時容易造成電流流經電阻產生的電壓差等種種因素，以符合設計者的要求，但佈局者若不懂在佈局時所要考量的地方，在多次的佈局，也是無法達到要求，因此借有此次機會來探討佈局技巧與佈局設計時所要考量的地方。

佈局匹配(Matching)

Matching 主要是確保需要匹配的元件(Device)在製程後能保持相同的特性，一般除了重要的元件匹配外，信號匹配也是極為重要。而 Matching 必須要注意的事項有：

1、元件方向要一致



2、盡量使 OD 不間斷

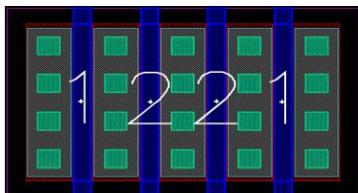
即共用 MOS 的 Source & Drain 這樣不但可以省面積也可以縮短各訊號間的距離也可以減少元件間雜散電阻和雜散電容，如下圖。



3、基本原件匹配方式

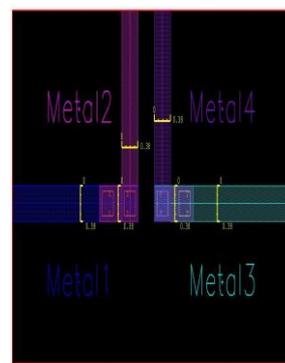
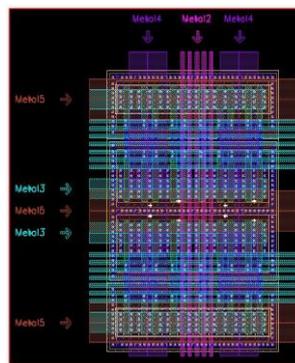
交叉式 (interdigitation) 匹配：

元件以交叉同重心方式來達到抑制線性梯度效應，如下圖。

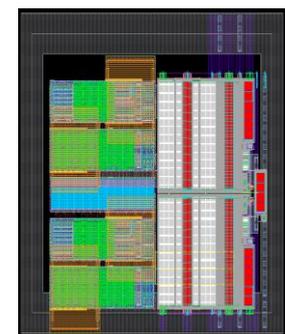
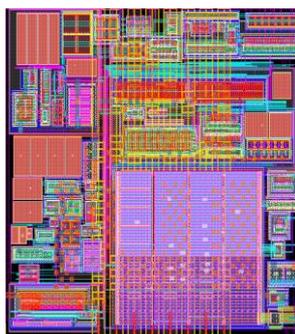


佈局走線 (Routing)

在 Routing 時，一般來說偶數與奇數的 Metal 的走向為一橫一縱，這樣不但會比較好走線也可以省 Routing 面積，而較高層的 Metal 通常用來走 Power、Ground 線。Metal 的 Width 與 Via 數量是依各電路的需求而有所調整，但大部分 Metal 的 Width 通常是由 Via 來決定，而且 Via 不能少於兩顆。



實習成果圖



實習
成果

電子
工程

姓名：陳佳昌
實習單位：AL2

實習廠商：聯發科技
實習期間：106/09~107/09

指導主管：鄧慶麟
輔導老師：陳華彬