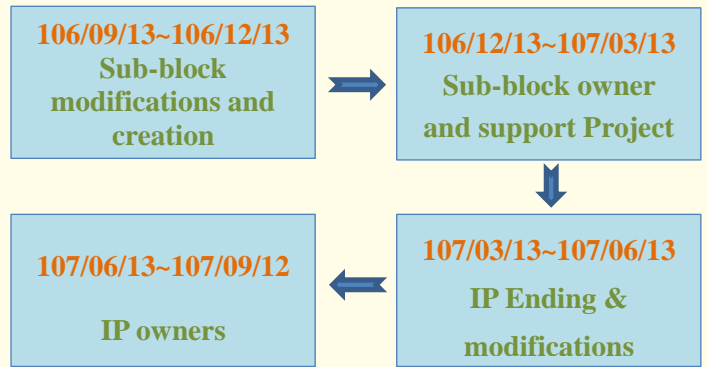


專業
主題

IC Full Custom Layout Flow & Layout Skill

內容
摘要

在實現大型積體電路中，晶片設計及電路佈局在這之中佔有舉足輕重的地位，如果 IC 設計是一位建築設計師，那 IC Layout 就是在這項建案之中的建築師，在這邊，我想分享我在聯發科實習一年所學到之 IC 佈局完整 Layout flow 及在這之中所需注意之技巧、知識。



IC Full Custom Layout Flow

半導體製程的後端設計稱為晶片 (IC) 佈局——而 IC 佈局可以簡單地分為 full custom(客製化)和 cell-base(系統設計)，在聯發科這一年主要學的類型則是 full custom，這種類型的佈局由重複的複雜結構組成。

Layout Skill

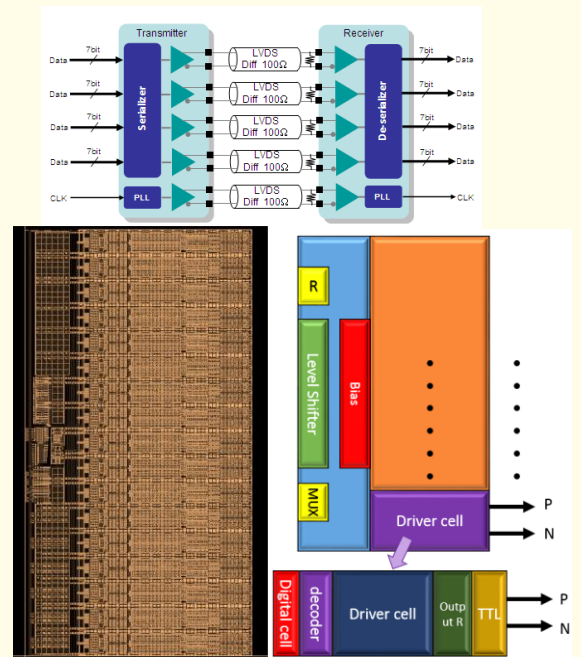
在執行 IP 時，能先用紙張與 RD 一同討論 IP 中每塊 Block 的位置、大小、Power 分佈及走線規劃等，圖二這塊 IP 是由多組 Driver 組合而成，每塊 Driver 都會有兩條對應的 P、N signal 線要接到 PAD 因此在 floor plan 必須要確保這些 Driver 能夠都對應到相對應的 PAD。

實習
成果

- 1 •RD (Designer)接收IP，並與他討論整體電路功用
- 2 •詢問是否有前版Layout及兩者差異
- 3 •Check RD電路是否ready
- 4 •依照該版電路與RD討論大致Block位置及走線
- 5 •評估各個Sub-block size(拉出所有device試擺)
- 6 •Floor Plan
- 7 •與RD確認Block位置、power分布及走線規劃是否OK
- 8 •Block Layout & Verification(DRC、LVS、ERC...)
- 9 •確認各Block驗證無誤後進行IP整合
- 10 •Verification(DRC、LVS、ERC...)

圖一 Full Custom Layout flow.

圖一為執行 IP owner 所需之 Layout flow，從接收 IP、整合 IP_TOP 到最後驗證，每項工程都極為重要，而 RD 也會從中抽取 post-sim 來修改電路，以達到最完美的電路特性。



圖二 Driver circuit layout.

電子
工程

姓名：楊証賢

實習單位：MTK/AL7

實習期間：106/9/13~107/09/12

輔導老師：陳華彬

實習廠區：Mediatek

指導主管：黃偉倫 Brian