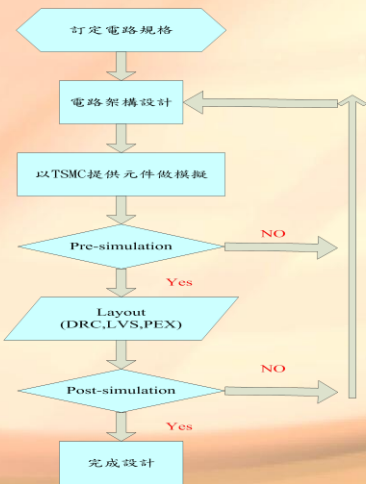
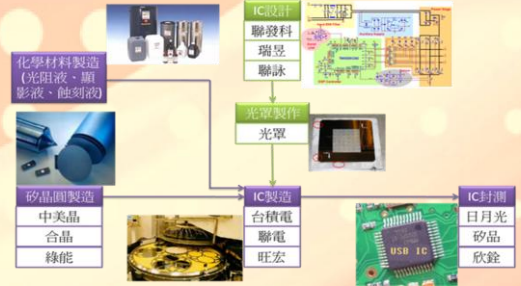


工作
項目

Laker L3/Calibre(drc,erc,lvs,esd,ant)/Analog layout(Serdes IP)

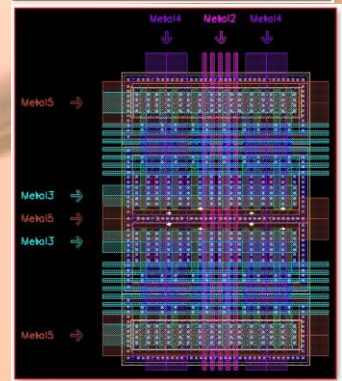
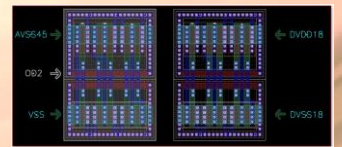
內
容
摘
要

ADCT/CT1/AL2 (Analogy Design Circuit Technology)—
類比設計暨電路技術研發本部，ACD 泛指類比與數位電路的設計，而 CT 為電路技術工程，AL 又為類比電路佈局，AL2 負責項目為最廣泛的，**使用先進製程繪製電路**，從**數位到類比**電路都會有我們的蹤影。

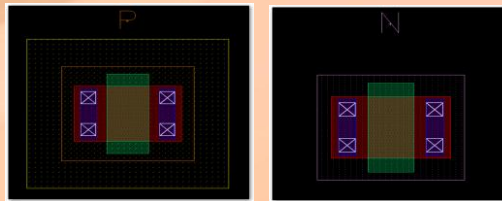


Analogy Layout_注意事項

1. 可使用的佈局面積
2. Pin 的位置
3. 元件的擺放
4. 電源線與類比訊號線的寬度
5. MOS 的 Matching、DUMMY、Shielding
6. Routing



MOS 分為 PMOS 與 NMOS 下圖所示



左右兩側則是它的源極與汲極。源極與汲極的特性必須為同 type(同為 N 或同為 P)



實
習
成
果

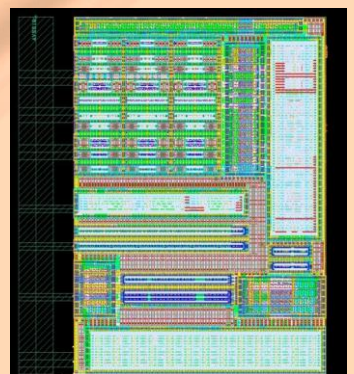
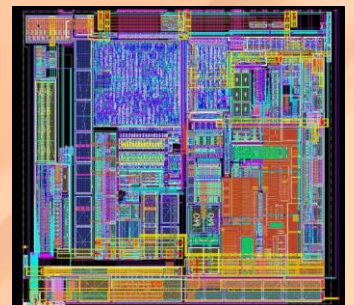
LVS solve

(Layout VS Schematic)讓 Layout 跟 RD 的電路做比對,使用 spice 檔來做 check,看電路中是否有接錯的、沒接的、有短路的、或是有 device 少畫的。以下是解 lvs 可能遇到的錯誤。

DRC solve

(Design Rule Check)在 layout 過程中,佈線的 metal 可能會出現 spicing 太近的狀況(同一種 metal),或是出現 metal 沒對齊出現缺角的狀況,這些狀況在之後給 foundry 場在製作品片時這種 metal 可能會讓整個電路 fail。以下是解 drc 可能遇到的錯誤。

Work project



電
子
工
程

實習廠商：聯發科技

姓名：黃星凱

實習期間：104/09/14~105/09/13

MEDIATEK

指導主管：鄧慶麟

輔導老師：王三輔